|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Curso**: Engenharia de Computação | | | **Disciplina**: Circuitos Lógicos | | |
| **Período**: 03 | **Turma**: 01 | **EXP:** 1 | | **Turno**: Integral | **Data**: 10/fev/2020 |
| Nomes  1 – Gabriela Querino Teixeira  2 – Henrique Sartori Siqueira  3 – Jemis Dievas José Manhiça | | | | | RAs  16003071  19240472  19076272 |

1. **PROCEDIMENTOS:**

Primeiramente realizamos a composição da tabela verdade através do problema proposto, foi feito as equações e usando mapa de Karnaugh simplificamos as equações.







Posteriormente realizamos o desenho do circuito lógico e feito a simulação.

Foi notado que a simulação resultou nas saídas esperadas onde apenas 2 máquinas funcionam ao menos tempo. Conforme mostra a imagem abaixo.



E por último foi mapeado a pinagem das entradas e saídas para a placa altera, e testamos se os resultados que a placa mostrava correspondiam com o que foi testado na simulação e tivemos uma resposta positiva.





1. **CONSIDERAÇÕES FINAIS:**

Com base nos resultados do experimento (tabela verdade, mapa de Karnaugh, simulação e teste na placa) foram atingidos as expectativas de resolução do problema.

Inicialmente foi encontrado dificuldade para se adequar ao novo ambiente e realizar a simulação.